

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-189423

[ ST.10/C ]:

[ JP2002-189423 ]

出 願 人

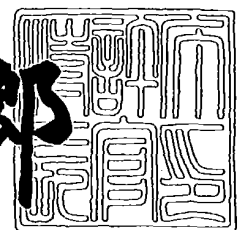
Applicant(s):

NECエレクトロニクス株式会社

2003年 3月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3020097

【書類名】 特許願

【整理番号】 75410125

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0175

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 平野 和俊

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【選任した代理人】

    【識別番号】 100106297

    【弁理士】

    【氏名又は名称】 伊藤 克博

【選任した代理人】

    【識別番号】 100106138

    【弁理士】

    【氏名又は名称】 石橋 政幸

【手数料の表示】

    【予納台帳番号】 089681

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力バッファ回路

【特許請求の範囲】

【請求項1】 pチャネルMOSFET及びnチャネルMOSFETを備え、出力端が共通に接続された複数のドライバ回路から成るメインバッファ部と、前記ドライバ回路のpチャネルMOSFETを動作させるためのPch駆動回路及び前記ドライバ回路のnチャネルMOSFETを動作させるためのNch駆動回路を備え、各ドライバ回路に対応して設けられた複数のプリドライバ回路から成るプリバッファ部と、を有し、

前記ドライバ回路の動作数により出力インピーダンスを調整するためのインピーダンスコードが前記プリドライバ回路へ供給される出力バッファ回路であって、

データ信号に同期して前記インピーダンスコードを前記Pch駆動回路へ出力する第1のフリップフロップと、

前記データ信号の同期して前記インピーダンスコードを前記Nch駆動回路へ出力する第2のフリップフロップと、を有する出力バッファ回路。

【請求項2】 前記第1のフリップフロップは、

前記データ信号の立ち下がりに同期して前記インピーダンスコードを取り込みし、前記データ信号の立ち上がりに同期して取り込んだインピーダンスコードを出力するマスター・スレーブ型のフリップフロップである請求項1記載の出力バッファ回路。

【請求項3】 前記第2のフリップフロップは、

前記データ信号の立ち上がりに同期して前記インピーダンスコードを取り込み、前記データ信号の立ち下がりに同期して取り込んだインピーダンスコードを出力するマスター・スレーブ型のフリップフロップである請求項1または2記載の出力バッファ回路。

【請求項4】 pチャネルMOSFET及びnチャネルMOSFETを備え

、出力端が共通に接続された複数のドライバ回路から成るメインバッファ部と、  
前記ドライバ回路のpチャネルMOSFETを動作させるためのPch駆動回路及び前記ドライバ回路のnチャネルMOSFETを動作させるためのNch駆動回路を備え、各ドライバ回路に対応して設けられた複数のプリドライバ回路から成るプリバッファ部と、  
を有し、

前記ドライバ回路の動作数により出力インピーダンスを調整するためのインピーダンスコードが前記プリドライバ回路へ供給される出力バッファ回路であって、

データ信号が“1”のとき、入力されたインピーダンスコードをそのまま前記Pch駆動回路へ出力し、前記データ信号が“0”のとき、前記データ信号の立ち下がりに同期して入力されたインピーダンスコードを保持して前記Pch駆動回路へ出力する第1のラッチ回路と、

前記データ信号が“1”のとき、前記データ信号の立ち上がりに同期して入力されたインピーダンスコードを保持して前記Nch駆動回路へ出力し、前記データ信号が“0”のとき、入力されたインピーダンスコードをそのまま前記Nch駆動回路へ出力する第2のラッチ回路と、

を有する出力バッファ回路。

【請求項5】 前記第1のラッチ回路は、

前記データ信号が“1”のときに導通し、前記データ信号が“0”のときに非導通となる、前記インピーダンスコードが入力される第1のトランスファークロスタックと、

前記第1のトランスファークロスタックの出力信号を保持するために互いの出力が入力に帰還される第1のインバータ及び第2のインバータと、

前記第1のインバータと前記第2のインバータ間に挿入される、前記データ信号が“1”のときに非導通となり、前記データ信号が“0”のときに導通する第2のトランスファークロスタックと、

を有する請求項4記載の出力バッファ回路。

【請求項6】 前記第2のラッチ回路は、

前記データ信号が“0”のときに導通し、前記データ信号が“1”のときに非導通となる、前記インピーダンスコードが入力される第3のトランスファークロフトと、

前記第3のトランスファークロフトの出力信号を保持するために互いの出力が入力に帰還される第3のインバータ及び第4のインバータと、

前記第3のインバータと前記第4のインバータ間に挿入される、前記データ信号が“0”のときに非導通となり、前記データ信号が“1”のときに導通する第4のトランスファークロフトと、

を有する請求項4または5記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ信号を伝送線路へ送出するための出力バッファ回路に関し、特に出力インピーダンスの調整が可能な出力バッファ回路に関する。

【0002】

【従来の技術】

近年のコンピュータシステム等は、CPUの高速化に伴って半導体集積回路装置間、あるいは半導体集積回路装置が搭載されるプリント基板間の信号転送速度も高速化され、例えば、数GHz程度の高周波信号が送受信されるようになってきた。したがって、これらの高周波信号を伝送するための伝送線路には、プリント基板上やプリント基板間を接続するためのマザーボード上に形成されたマイクロストリップラインあるいは同軸ケーブル等が用いられる。

【0003】

データ転送速度が比較的遅い低周波信号を伝送する場合、伝送線路長に対して信号波長が十分に長いため、伝送線路のどの部位でみても信号の位相はほぼ同じになる。したがって、伝送線路端でインピーダンスの不整合に起因する反射ノイズが発生しても、それらのノイズも信号とほぼ同位相のため、信号波形を著しく損なうことは無い。

【0004】

しかしながら、高周波信号を伝送する場合は、伝送線路長に対して信号波長が極端に短くなるため、伝送線路の部位によって信号の位相が変わってくる。したがって、反射ノイズがどの位相に影響するかが不確定であり、信号波形を著しく損なう可能性がある。

## 【0005】

このような問題に対処するため、一般に高周波信号を伝送する場合は、伝送線路の特性インピーダンスと信号受信端あるいは信号送信端のインピーダンスを一致（整合）させ、伝送線路端における反射ノイズの発生を抑制する終端処理が実施される。

## 【0006】

なお、終端処理には、信号受信端と電源供給線や接地電位間を伝送線路の特性インピーダンスと等しい抵抗器（終端抵抗）で接続する並列終端と、信号を送出する出力バッファ回路の出力インピーダンスを伝送線路の特性インピーダンスに一致させる直列終端とが知られている。

## 【0007】

直列終端を行う場合、半導体集積回路装置は、その使用状態によって周囲温度や電源電圧等の外部条件が変動し、さらには半導体集積回路装置自身の特性もばらつくため、これらの外部条件の変動や特性のばらつきにより出力バッファ回路の出力インピーダンスが変動する問題がある。

## 【0008】

そこで、半導体集積回路装置内に出力バッファ回路の出力インピーダンスを調整するためのインピーダンス調整回路を備え、出力バッファ回路の出力インピーダンスを外部条件に応じて最適な値に適宜変更することで本問題を解決する手法が採用されている。このような出力インピーダンスの調整機能を備えた従来の出力バッファ回路及びインピーダンス調整回路を図6及び図7に示す。

## 【0009】

図6は従来の出力バッファ回路の構成を示す図であり、同図（a）はメインバッファ部の構成を示す回路図、同図（b）はプリバッファ部の構成を示す回路図である。また、図7はインピーダンス調整回路の一構成例を示すブロック図であ

る。

#### 【0010】

従来の出力バッファ回路は、図6(a)に示すように所定の出力インピーダンスを備えたpチャネルMOSFET (Pch) 及びnチャネルMOSFET (Nch) から成る複数の(n段:nは正の整数)ドライバ回路 $10_1 \sim 10_n$ を備え、該ドライバ回路 $10_1 \sim 10_n$ の出力端が共通に接続されたメインバッファ部1と、図6(b)に示すようにメインバッファ部1が備える複数のドライバ回路 $10_1 \sim 10_n$ を動作させるために、各ドライバ回路 $10_1 \sim 10_n$ に対応して設けられた複数の(n段:nは正の整数)プリドライバ回路 $20_1 \sim 20_n$ から成るプリバッファ部2とを有する構成である。

#### 【0011】

メインバッファ部1のドライバ回路 $10_1 \sim 10_n$ は、外部条件の変動で想定される出力インピーダンスの変動範囲をカバーするのに必要な数だけ設けられ、出力インピーダンスが伝送線路の特性インピーダンスと一致するように、対応するプリドライバ回路 $20_1 \sim 20_n$ により所定数だけ駆動される。

#### 【0012】

プリドライバ回路 $20_1 \sim 20_n$ は、メインバッファ部1のドライバ回路 $10_1 \sim 10_n$ が備えるpチャネルMOSFETに駆動信号を供給する、直列に接続されたトランスファークラップ21、22と、メインバッファ部1のドライバ回路 $10_1 \sim 10_n$ が備えるnチャネルMOSFETに駆動信号を供給する、直列に接続されたトランスファークラップ23、24と、トランスファークラップ21、22を不図示のインピーダンス調整回路から送信される制御信号 $R_{up}(0) \sim R_{up}(n)$ にしたがって動作させるインバータ25、26と、トランスファークラップ23、24を不図示のインピーダンス調整回路から送信される制御信号 $R_{dn}(0) \sim R_{dn}(n)$ にしたがって動作させるインバータ27、28とを有する構成である。

#### 【0013】

プリバッファ部2は、半導体集積回路装置の内部から供給されるデータ信号dataにしたがって、メインバッファ部1の対応するドライバ回路 $10_1 \sim 10_n$



が備えるpチャネルMOSFETをOFFまたは電源電圧VDDにクランプさせ、nチャネルMOSFETをOFFまたは接地電位GNDにクランプさせる。このとき、各プリドライバ回路 $20_1 \sim 20_n$ は、上述したインピーダンス調整回路から送信される制御信号 $Rup(0) \sim Rup(n)$ 、 $Rdn(0) \sim Rdn(n)$ にしたがってメインバッファ部1の対応するドライバ回路 $10_1 \sim 10_n$ を動作または停止させる。図2(b)に示す構成では、制御信号 $Rup(0) \sim Rup(n)$ 、 $Rdn(0) \sim Rdn(n)$ が“1”のときに、対応するドライバ回路 $10_1 \sim 10_n$ を動作させ、制御信号 $Rup(0) \sim Rup(n)$ 、 $Rdn(0) \sim Rdn(n)$ が“0”のときに、対応するドライバ回路 $10_1 \sim 10_n$ の動作を停止(ディスイネーブル)させる。

## 【0014】

なお、制御信号 $Rup(0) \sim Rup(n)$ はドライバ回路 $10_1 \sim 10_n$ が備えるpチャネルMOSFETに対応する信号であり、制御信号 $Rdn(0) \sim Rdn(n)$ はドライバ回路 $10_1 \sim 10_n$ が備えるnチャネルMOSFETに対応する信号である。以下では、制御信号 $Rup(0) \sim Rup(n)$ をインピーダンスコード $Rup[1:n]$ と定義し、制御信号 $Rdn(0) \sim Rdn(n)$ をインピーダンスコード $Rdn[1:n]$ と定義する。

## 【0015】

図7に示すように、インピーダンス調整回路3は、出力バッファ回路の出力インピーダンスをモニタするために用いられる、図6に示した出力バッファ回路と同一構成の出力ダミー回路31と、伝送線路の特性インピーダンスと等しい抵抗値に設定された比較抵抗器32と、出力ダミー回路31の出力電圧と所定の基準電圧とを比較し、その比較結果を出力するコンパレータ33と、出力ダミー回路31にインピーダンスコードを供給して出力インピーダンスを変化させると共に、コンパレータ33から出力される比較結果にしたがって出力バッファ回路にインピーダンスコードを供給する制御回路34とを有する構成である。なお、以下ではインピーダンス調整回路3によりインピーダンスコードを生成する処理をキャリブレーションと称する。

## 【0016】

比較抵抗器 32 の一端は出力ダミー回路の出力端に接続され、比較抵抗器 32 の他端は、ドライバ回路  $10_1 \sim 10_n$  の p チャンネル MOSFET のキャリブレーション時に接地電位 GND へ接続され、ドライバ回路  $10_1 \sim 10_n$  の n チャンネル MOSFET のキャリブレーション時に電源電圧 VDD が供給される。

## 【0017】

次に、図 7 に示したインピーダンス調整回路によるキャリブレーション動作について図 7 を参照しつつ図 8 を用いて説明する。

## 【0018】

図 8 は図 7 に示したインピーダンス調整回路によるキャリブレーション動作時の出力ダミー回路から出力される分圧電圧の様子を示す波形図である。

## 【0019】

ドライバ回路  $10_1 \sim 10_n$  の p チャンネル MOSFET のキャリブレーションを行う場合、制御回路 34 は出力ダミー回路 31 へ供給するインピーダンスコードを所定の周期毎に変化させて、出力ダミー回路 31 のメインバッファ回路が有するドライバ回路の動作数を徐々に増加させる。このとき、出力ダミー回路 31 からは電源電圧 VDD を出力インピーダンスと比較抵抗器 32 の抵抗値で分圧した分圧電圧が出力される。この分圧電圧は、図 8 (a) に示すように、ドライバ回路の動作数（駆動 Tr 数）の増加に伴って出力インピーダンスが徐々に低下するために増加する。

## 【0020】

分圧電圧はコンパレータ 33 によって基準電圧（例えば、 $VDD/2$ ）と比較され、分圧電圧が基準電圧を超えたとき、制御回路 34 は出力ダミー回路 31 へ供給していたインピーダンスコード  $R_{up}[1:n]$  を出力バッファ回路のプリバッファ部 2 へ供給する。

## 【0021】

同様に、ドライバ回路  $10_1 \sim 10_n$  の n チャンネル MOSFET のキャリブレーションを実行する場合、制御回路 34 は出力ダミー回路 31 へ供給するインピーダンスコードを所定の周期毎に変化させて、出力ダミー回路 31 のメインバッファ回路が有するドライバ回路の動作数を徐々に増加させる。このとき、出力ダミ

一回路 31 からは電源電圧  $V_{DD}$  を比較抵抗器 32 の抵抗値と出力インピーダンスで分圧した分圧電圧が出力される。この分圧電圧は、図 8 (b) に示すように、ドライバ回路の動作数（駆動  $T_r$  数）の増加に伴って出力インピーダンスが徐々に低下するために低下する。

## 【0022】

分圧電圧はコンパレータ 33 によって基準電圧（例えば、 $V_{DD}/2$ ）と比較され、分圧電圧が基準電圧よりも低下したとき、制御回路 34 は出力ダミー回路 31 へ供給していたインピーダンスコード  $R_{dn}[1:n]$  を出力バッファ回路へ供給する。

## 【0023】

## 【発明が解決しようとする課題】

上述したインピーダンス調整回路は、通常、半導体集積回路装置に電源電圧が供給されている間は常にキャリブレーションを実行し、出力バッファ回路へ供給するインピーダンスコードを更新している。

## 【0024】

このとき、データ信号  $data$  及びインピーダンスコード  $R_{up}[1:n]$  ,  $R_{dn}[1:n]$  は出力バッファ回路に対して非同期に供給されるため、出力バッファ回路が信号送信時にインピーダンスコード  $R_{up}[1:n]$  ,  $R_{dn}[1:n]$  を取り込むと、メインバッファ部から“1”または“0”が出力されている途中やスイッチング動作中にドライバ回路の動作数が変動し、出力インピーダンスが変わってしまうことがある。そのため、信号波形に歪みが生じ、データ信号が正しく伝送できない可能性がある。

## 【0025】

このような問題を回避するためには、例えば、図 9 に示す半導体集積回路装置のイニシャライズ時やデイスイネーブル状態時にのみキャリブレーションを実施する方法が考えられる。しかしながら、この場合は半導体集積回路装置の通常動作時に最新のインピーダンスコードを取り込むことができないため、出力バッファ回路の出力インピーダンスと伝送線路の特性インピーダンスとの整合がずれる問題が生じる。なお、図 9 ではインピーダンスコード  $R_{up}[1:n]$  ,  $R_{dn}$

[1 : n] が外部条件に応じて変化することを示すために階段状の波形で記載しているが、実際のインピーダンスコード  $R_{up}[1 : n]$  ,  $R_{dn}[1 : n]$  は各プリドライバ回路に対して“1”または“0”のデジタルデータで供給される。

#### 【0026】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、データ信号及びインピーダンスコードが非同期に供給されることによる波形歪みの発生を防止しつつ、最新のインピーダンスコードを取り込むことで出力インピーダンスと伝送線路の特性インピーダンスの整合のずれを抑止することが可能な出力バッファ回路を提供することを目的とする。

#### 【0027】

##### 【課題を解決するための手段】

上記目的を達成するため本発明の出力バッファ回路は、pチャネルMOSFET及びnチャネルMOSFETを備え、出力端が共通に接続された複数のドライバ回路から成るメインバッファ部と、

前記ドライバ回路のpチャネルMOSFETを動作させるためのPch駆動回路及び前記ドライバ回路のnチャネルMOSFETを動作させるためのNch駆動回路を備え、各ドライバ回路に対応して設けられた複数のプリドライバ回路から成るプリバッファ部と、

を有し、

前記ドライバ回路の動作数により出力インピーダンスを調整するためのインピーダンスコードが前記プリドライバ回路へ供給される出力バッファ回路であって

データ信号に同期して前記インピーダンスコードを前記Pch駆動回路へ出力する第1のフリップフロップと、

前記データ信号の同期して前記インピーダンスコードを前記Nch駆動回路へ出力する第2のフリップフロップと、

を有する構成である。

#### 【0028】

このとき、前記第1のフリップフロップは、

前記データ信号の立ち下がりに同期して前記インピーダンスコードを取り込みし、前記データ信号の立ち上がりに同期して取り込んだインピーダンスコードを出力するマスター・スレーブ型のフリップフロップであってもよく、

前記第2のフリップフロップは、

前記データ信号の立ち上がりに同期して前記インピーダンスコードを取り込み、前記データ信号の立ち下がりに同期して取り込んだインピーダンスコードを出力するマスター・スレーブ型のフリップフロップであってもよい。

【0029】

また、本発明の他の出力バッファ回路は、pチャネルMOSFET及びnチャネルMOSFETを備え、出力端が共通に接続された複数のドライバ回路から成るメインバッファ部と、

前記ドライバ回路のpチャネルMOSFETを動作させるためのPch駆動回路及び前記ドライバ回路のnチャネルMOSFETを動作させるためのNch駆動回路を備え、各ドライバ回路に対応して設けられた複数のプリドライバ回路から成るプリバッファ部と、

を有し、

前記ドライバ回路の動作数により出力インピーダンスを調整するためのインピーダンスコードが前記プリドライバ回路へ供給される出力バッファ回路であって

データ信号が“1”のとき、入力されたインピーダンスコードをそのまま前記Pch駆動回路へ出力し、前記データ信号が“0”のとき、前記データ信号の立ち下がりに同期して入力されたインピーダンスコードを保持して前記Pch駆動回路へ出力する第1のラッチ回路と、

前記データ信号が“1”のとき、前記データ信号の立ち上がりに同期して入力されたインピーダンスコードを保持して前記Nch駆動回路へ出力し、前記データ信号が“0”のとき、入力されたインピーダンスコードをそのまま前記Nch駆動回路へ出力する第2のラッチ回路と、

を有する構成である。

【0030】

このとき、前記第1のラッチ回路は、

前記データ信号が“1”のときに導通し、前記データ信号が“0”のときに非導通となる、前記インピーダンスコードが入力される第1のトランスファークロフトと、

前記第1のトランスファークロフトの出力信号を保持するために互いの出力が入力に帰還される第1のインバータ及び第2のインバータと、

前記第1のインバータと前記第2のインバータ間に挿入される、前記データ信号が“1”のときに非導通となり、前記データ信号が“0”のときに導通する第2のトランスファークロフトと、

を有する構成であってもよく、

前記第2のラッチ回路は、

前記データ信号が“0”のときに導通し、前記データ信号が“1”のときに非導通となる、前記インピーダンスコードが入力される第3のトランスファークロフトと、

前記第3のトランスファークロフトの出力信号を保持するために互いの出力が入力に帰還される第3のインバータ及び第4のインバータと、

前記第3のインバータと前記第4のインバータ間に挿入される、前記データ信号が“0”のときに非導通となり、前記データ信号が“1”のときに導通する第4のトランスファークロフトと、

を有する構成であってもよい。

【0031】

上記のように構成された出力バッファ回路では、外部から供給されるデータ信号に同期してインピーダンスコードをPch駆動回路へ出力する第1のフリップフロップと、データ信号の同期してインピーダンスコードをNch駆動回路へ出力する第2のフリップフロップとを有することで、メインバッファ部から“1”または“0”が出力されている途中やスイッチング動作中にドライバ回路の動作数に変動して出力インピーダンスが変わる問題が防止される。

【0032】

また、データ信号が“1”のとき、入力されたインピーダンスコードをそのままPch駆動回路へ出力し、データ信号が“0”のとき、データ信号の立ち下がりに同期して入力されたインピーダンスコードを保持してPch駆動回路へ出力する第1のラッチ回路と、データ信号が“1”のとき、データ信号の立ち上がりに同期して入力されたインピーダンスコードを保持してNch駆動回路へ出力し、データ信号が“0”のとき、入力されたインピーダンスコードをそのままNch駆動回路へ出力する第2のラッチ回路とを有することで、データ信号が同じ値で連続する場合でもプリラッチ部へ供給されるインピーダンスコードが更新される。

## 【0033】

## 【発明の実施の形態】

次に本発明について図面を参照して説明する。

## 【0034】

## (第1の実施の形態)

図1は本発明の出力バッファ回路の第1の実施の形態が有するプリバッファ部の構成を示す回路図である。

## 【0035】

図1に示すように、本実施形態の出力バッファ回路は、図6(b)に示した従来のプリバッファ部の各プリドライバ回路に、半導体集積回路装置内部から供給されるデータ信号dataをクロック(CLK)入力とし、インピーダンス調整回路から供給されるインピーダンスコードRup[1:n], Rdn[1:n]をデータ(D)入力とする第1のフリップフロップ201及び第2のフリップフロップ202を追加した構成である。

## 【0036】

第1のフリップフロップ201は、メインバッファ部のドライバ回路が備えるpチャネルMOSFETを動作させるためにプリドライバ回路が有するトランスファークロップ21、22(以下、Pch駆動回路と称す)に駆動信号を供給するマスター・スレーブ型のフリップフロップであり、データ信号dataの立ち下がりに同期してインピーダンスコードRup[1:n]を取り込み、データ信号d

a t a の立ち上がりに同期して取り込んだインピーダンスコード R u p [1 : n] をインバータ 25 へ出力する。

【0037】

一方、第2のフリップフロップ 202 は、メインバッファ部のドライバ回路が備える n チャンネル MOS F E T を動作させるためにプリドライバ回路が有するトランスファークゲート 23、24（以下、N c h 駆動回路と称す）に駆動信号を供給するマスター・スレーブ型のフリップフロップであり、データ信号 d a t a の立ち上がりに同期してインピーダンスコード R d n [1 : n] を取り込み、データ信号 d a t a の立ち下がりに同期して取り込んだインピーダンスコード R d n [1 : n] をインバータ 27 へ出力する。

【0038】

プリバッファ部のその他の構成及びメインバッファ部の構成は、従来と同様であるため、その説明は省略する。なお、図1では、プリバッファ部の各プリドライバ回路が有するトランスファークゲート 21～24、及びインバータ 25～28 に、図6（b）に示した従来のプリバッファ部と同じ符号を付与している。

【0039】

次に、本実施形態の出力バッファ回路のキャリブレーション動作について、図1を参照しつつ図2を用いて説明する。

【0040】

図2は図1に示した出力バッファ回路のキャリブレーション動作の様子を示す模式図である。

【0041】

図2に示すように、本実施形態の出力バッファ回路では、データ信号 d a t a の立ち下がりに同期してインピーダンスコード R u p [1 : n] が第1のフリップフロップ 201 へ取り込まれ、データ信号 d a t a の立ち上がりに同期して取り込まれたインピーダンスコード R u p [1 : n] がプリドライバ回路の P c h 駆動回路 203 へ供給される。

【0042】

また、データ信号 d a t a の立ち上がりに同期してインピーダンスコード R d



$n[1:n]$  が第2のフリップフロップ202へ取り込まれ、データ信号  $data$  の立ち下がりに同期して取り込まれたインピーダンスコード  $Rdn[1:n]$  がプリドライバ回路の  $Nch$  駆動回路204へ供給される。なお、図2の矢印点線は  $Pch$  駆動回路203へインピーダンスコード  $Rup[1:n]$  が取り込まれるタイミングを示し、図2の矢印実線は  $Nch$  駆動回路204へインピーダンスコード  $Rdn[1:n]$  が取り込まれるタイミングを示している。

## 【0043】

したがって、本実施形態の出力バッファ回路の構成によれば、第1のフリップフロップ201及び第2のフリップフロップ202により、インピーダンスコード  $Rup[1:n]$ 、 $Rdn[1:n]$  がデータ信号  $data$  に同期してプリドライバ回路へ取り込まれるため、メインバッファ部から“1”または“0”が出力されている途中やスイッチング動作中にドライバ回路の動作数変動して出力インピーダンスが変わる問題が防止される。また、プリバッファ部は、最新のインピーダンスコード  $Rup[1:n]$ 、 $Rdn[1:n]$  を取り込むことができるため、出力バッファ回路の出力インピーダンスと伝送線路の特性インピーダンスの整合のずれが低減される。

## 【0044】

(第2の実施の形態)

図3は本発明の出力バッファ回路の第2の実施の形態が有するプリバッファ部の構成を示す回路図である。また、図4は図3に示した第1のラッチ回路の一構成例を示す回路図であり、図5は図3に示した第2のラッチ回路の一構成例を示す回路図である。

## 【0045】

図3に示すように、本実施形態の出力バッファ回路は、図6(b)に示した従来のプリバッファ部の各プリドライバ回路に、半導体集積回路装置内部から供給されるデータ信号  $data$  をクロック (CLK) 入力とし、インピーダンス調整回路から供給されるインピーダンスコード  $Rup[1:n]$ 、 $Rdn[1:n]$  をデータ (D) 入力とする第1のラッチ回路211及び第2のラッチ回路212を追加した構成である。プリバッファ部のその他の構成及びメインバッファ部の

構成は、従来と同様であるため、その説明は省略する。

#### 【0046】

図4に示すように、第1のラッチ回路211は、クロック入力端子CLKから入力された信号を反転させるインバータ31と、インバータ31の出力信号を反転させるインバータ32と、データ入力端子Dに入力された信号を反転させるインバータ33と、インバータ33の出力信号が入力され、インバータ31、32の出力信号で導通／非導通が制御されるトランスファークゲート34と、トランスファークゲート34の出力信号を保持するインバータ35、36と、インバータ36の出力信号が入力され、出力端子がインバータ35の入力端子に接続された、インバータ31、32の出力信号で導通／非導通が制御されるトランスファークゲート37と、インバータ35の出力信号を外部へ送出するためのバッファークゲート38と、インバータ36の出力信号を外部へ送出するためのバッファークゲート39とを有する構成である。なお、図4では2つの出力端子Q、QBを備えた構成を示しているが、出力端子はいずれか一方だけでもよい。

#### 【0047】

このような構成では、データ信号dataが“1”のとき、すなわちクロック入力端子CLKに“High”が入力されると、トランスファークゲート34が導通し、トランスファークゲート37が非導通となるため、データ入力端子Dに入力されたインピーダンスコードRup[1:n]が第1のラッチ回路211の出力端子Qからそのまま出力されてプリドライバ回路のPch駆動回路へ供給される。

#### 【0048】

一方、データ信号dataが“0”のとき、すなわちクロック入力端子CLKに“Low”が入力されると、トランスファークゲート34が非導通となり、トランスファークゲート37が導通するため、データ信号dataの立ち下がりに同期してデータ入力端子Dから入力されたインピーダンスコードRup[1:n]が第1のラッチ回路211で保持され、その値が出力端子Qから出力されてプリドライバ回路のPch駆動回路へ供給される。

#### 【0049】

図5に示すように、第2のラッチ回路212は、トランスファークゲート44及びトランスファークゲート47と、それらに制御信号を供給するインバータ41、42との接続が、図4に示した第1のラッチ回路211と異なっている。その他の構成は第1のラッチ回路211と同様であるため、その説明は省略する。

#### 【0050】

このような構成では、データ信号dataが“1”のとき、すなわちクロック入力端子CLKに“High”が入力されると、トランスファークゲート44が非導通となり、トランスファークゲート47が導通するため、データ信号dataの立ち上がりに同期して入力されたインピーダンスコードRdn[1:n]が第2のラッチ回路212で保持され、その値が出力端子Qから出力されてプリドライバ回路のNch駆動回路へ供給される。

#### 【0051】

一方、データ信号dataが“0”のとき、すなわちクロック入力端子CLKに“Low”が入力されると、トランスファークゲート44が導通し、トランスファークゲート47が非導通となるため、データ入力端子Dに入力されたインピーダンスコードRdn[1:n]が第2のラッチ回路212の出力端子Qからそのまま出力されてプリドライバ回路のNch駆動回路へ供給される。

#### 【0052】

図1に示した第1の実施の形態の出力バッファ回路では、データ信号dataが変化しない場合にプリバッファ部で取り込むインピーダンスコードが更新できない問題が生じる。例えば、データ信号dataとして“0”が連続して入力された場合、その間にインピーダンスコードRup[1:n]、Rdn[1:n]が変化しても、次にデータ信号dataが“1”になるときには、データ信号dataが“0”で連続する直前に取り込んだインピーダンスコードRdn[1:n]でメインバッファ部が駆動されてしまう。

#### 【0053】

同様に、データ信号dataとして“1”が連続して入力された場合も、次にデータ信号dataが“0”になるときには、“1”で連続する直前に取り込んだインピーダンスコードRup[1:n]でメインバッファ部が駆動されてしま

う。

【0054】

本実施形態では、第1の実施の形態のフリップフロップの代わりに図4及び図5に示した第1のラッチ回路211、第2のラッチ回路212を用いることで、データ信号dataとインピーダンスコードRup[1:n]、Rdn[1:n]とを同期させる。

【0055】

さらに、図4及び図5に示した第1のラッチ回路211及び第2のラッチ回路212では、クロック入力端子CLKに入力されるデータ信号dataが“0”で連続する場合は第2のラッチ回路212のデータ入力端子Dに入力されるインピーダンスコードRdn[1:n]がNch駆動回路204へそのまま出力され、次にデータ信号dataが“1”になるときは、最新のインピーダンスコードRdn[1:n]でメインバッファ部が駆動される。また、クロック入力端子CLKに入力されるデータ信号dataが“1”で連続する場合は第1のラッチ回路211のデータ入力端子Dに入力されるインピーダンスコードRup[1:n]がそのままPch駆動回路203へ出力され、次にデータ信号dataが“0”になるときは、最新のインピーダンスコードRup[1:n]でメインバッファ部が駆動される。

【0056】

したがって、本実施形態の出力バッファ回路は、第1の実施の形態の出力バッファ回路に比べて、データ信号dataが同じ値で連続する場合でも最新のインピーダンスコードで駆動されるため、出力インピーダンスと伝送線路の特性インピーダンスの整合のずれがより低減される。

【0057】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0058】

外部から供給されるデータ信号に同期してインピーダンスコードをPch駆動

回路へ出力する第1のフリップフロップと、データ信号の同期してインピーダンスコードをN c h駆動回路へ出力する第2のフリップフロップとを有することで、メインバッファ部から“1”または“0”が出力されている途中やスイッチング動作中にドライバ回路の動作数変動して出力インピーダンスが変わる問題が防止される。また、プリバッファ部で最新のインピーダンスコードを取り込むことができるため、出力バッファ回路の出力インピーダンスと伝送線路の特性インピーダンスの整合のずれが低減される。

【0 0 5 9】

また、データ信号が“1”のとき、入力されたインピーダンスコードをそのままP c h駆動回路へ出力し、データ信号が“0”のとき、データ信号の立ち下がりに同期して入力されたインピーダンスコードを保持してP c h駆動回路へ出力する第1のラッチ回路と、データ信号が“1”のとき、データ信号の立ち上がりに同期して入力されたインピーダンスコードを保持してN c h駆動回路へ出力し、データ信号が“0”のとき、入力されたインピーダンスコードをそのままN c h駆動回路へ出力する第2のラッチ回路とを有することで、データ信号が同じ値で連続する場合でもプリラッチ部へ供給されるインピーダンスコードが更新されるため、出力インピーダンスと伝送線路の特性インピーダンスの整合のずれがより低減される。

【図面の簡単な説明】

【図1】

本発明の出力バッファ回路の第1の実施の形態が有するプリバッファ部の構成を示す回路図である。

【図2】

図1に示した出力バッファ回路のキャリブレーション動作の様子を示す模式図である。

【図3】

本発明の出力バッファ回路の第2の実施の形態が有するプリバッファ部の構成を示す回路図である。

【図4】

図 3 に示した第 1 のラッチ回路の一構成例を示す回路図である。

【図 5】

図 3 に示した第 2 のラッチ回路の一構成例を示す回路図である。

【図 6】

従来の出力バッファ回路の構成を示す図であり、同図 (a) はメインバッファ部の構成を示す回路図、同図 (b) はプリバッファ部の構成を示す回路図である。

【図 7】

インピーダンス調整回路の一構成例を示すブロック図である。

【図 8】

図 7 に示した出力ダミー回路から出力される分圧電圧のキャリブレーション時の様子を示す波形図である。

【図 9】

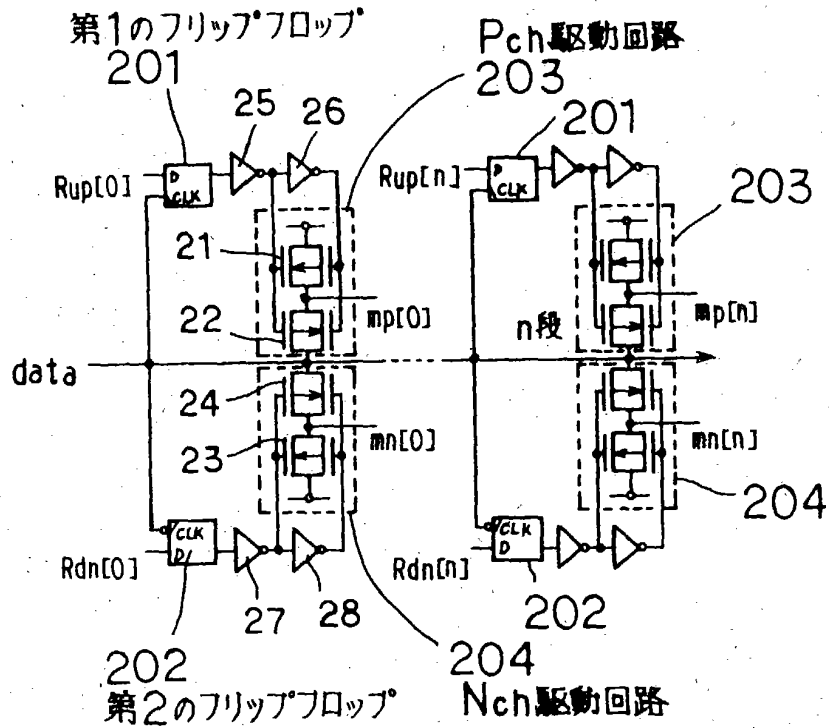
図 6 に示した出力バッファ回路のキャリブレーション動作の様子を示す模式図である。

【符号の説明】

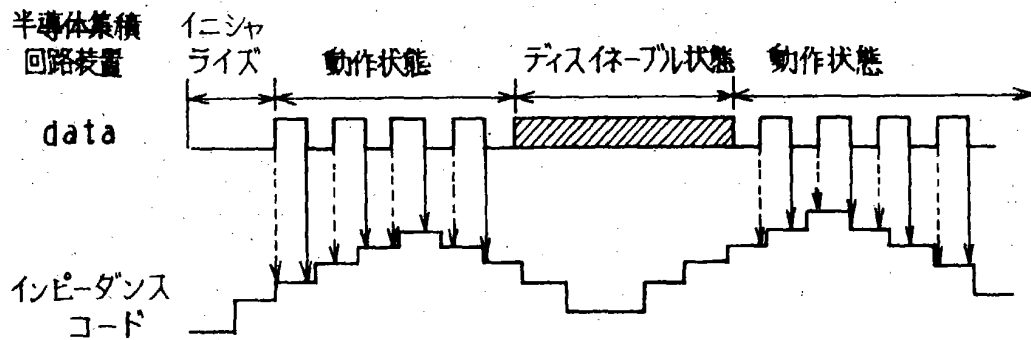
- 2 1 ~ 2 4、3 4、3 7、4 4、4 7      トランスファークゲート
- 2 5 ~ 2 8、3 1 ~ 3 3、3 5、3 6、4 1、4 2、4 5、4 6      インバータ
- 3 8、3 9      バッファゲート
- 2 0 1      第 1 のフリップフロップ
- 2 0 2      第 2 のフリップフロップ
- 2 0 3      P c h 駆動回路
- 2 0 4      N c h 駆動回路
- 2 1 1      第 1 のラッチ回路
- 2 2 2      第 2 のラッチ回路

【書類名】 図面

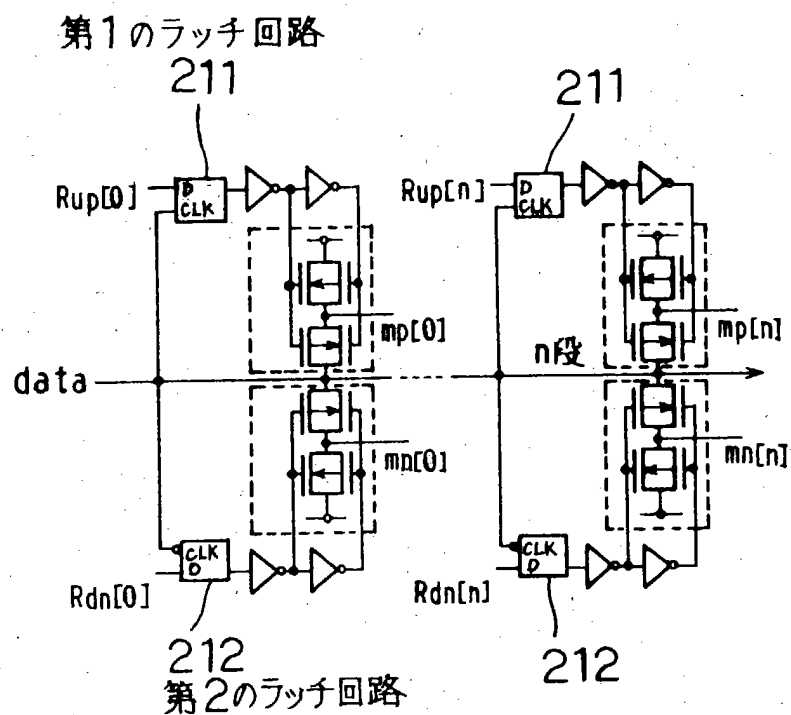
【図1】



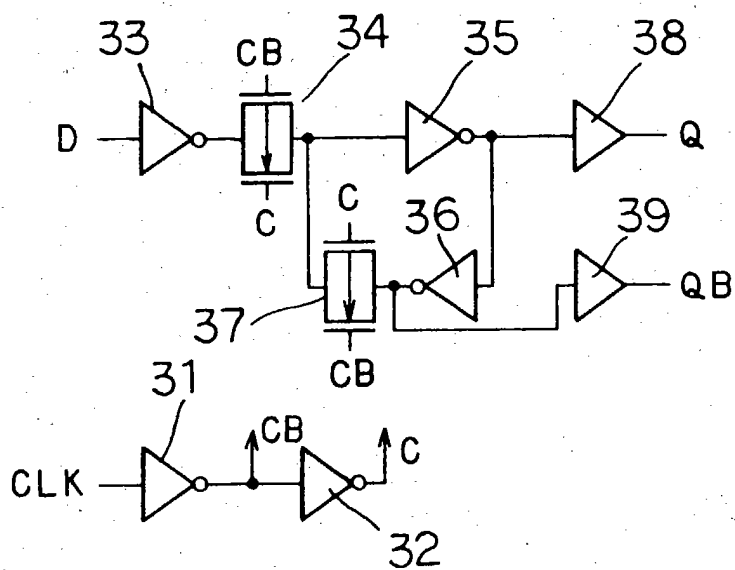
【図2】



【図3】

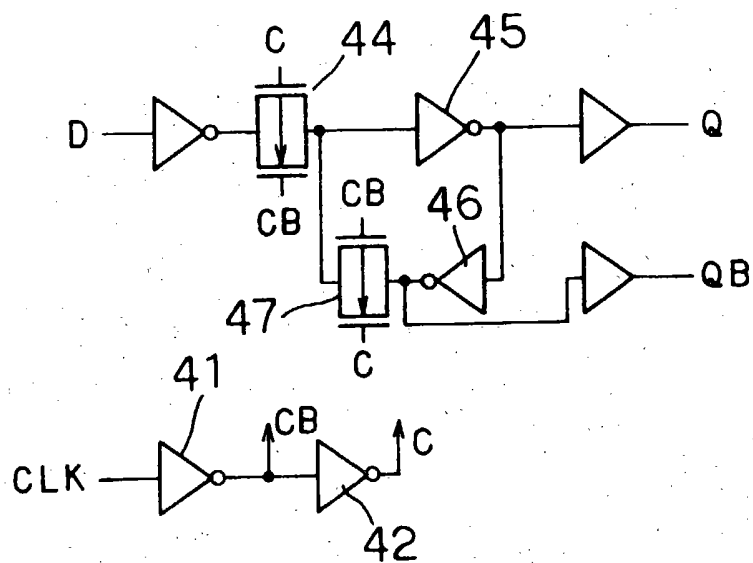


【図4】

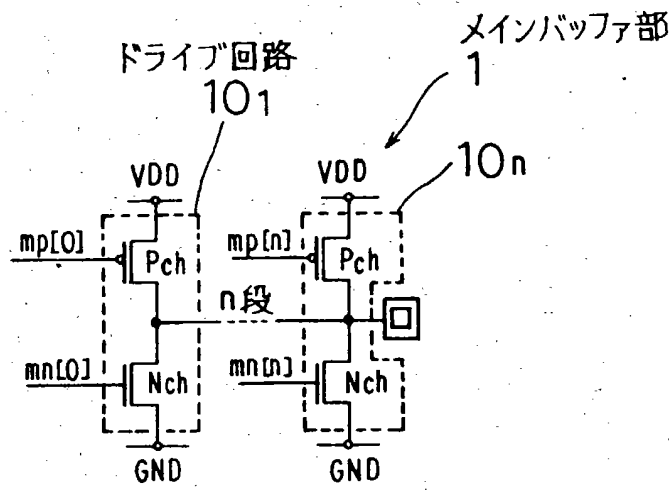




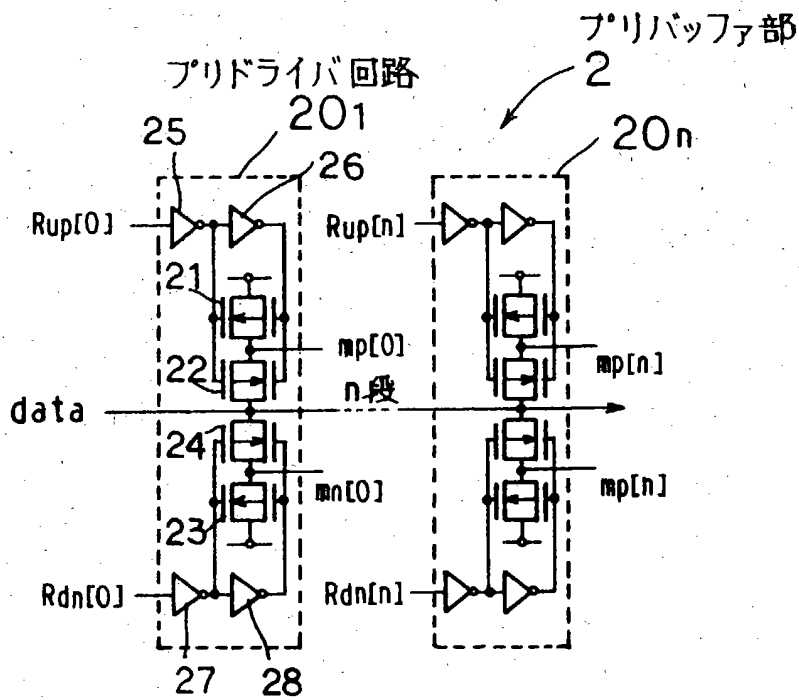
【図 5】



【図6】

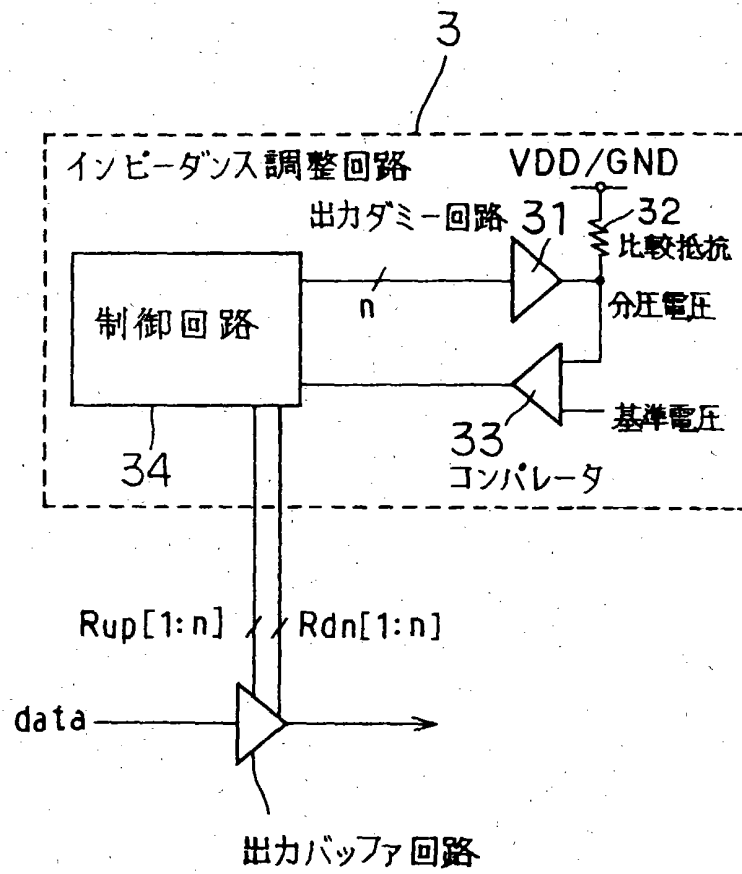


(a)

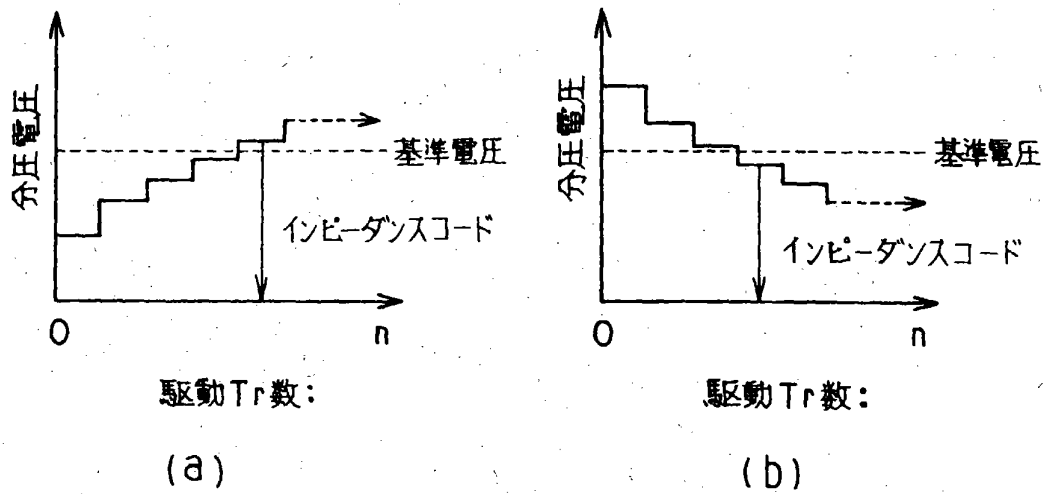


(b)

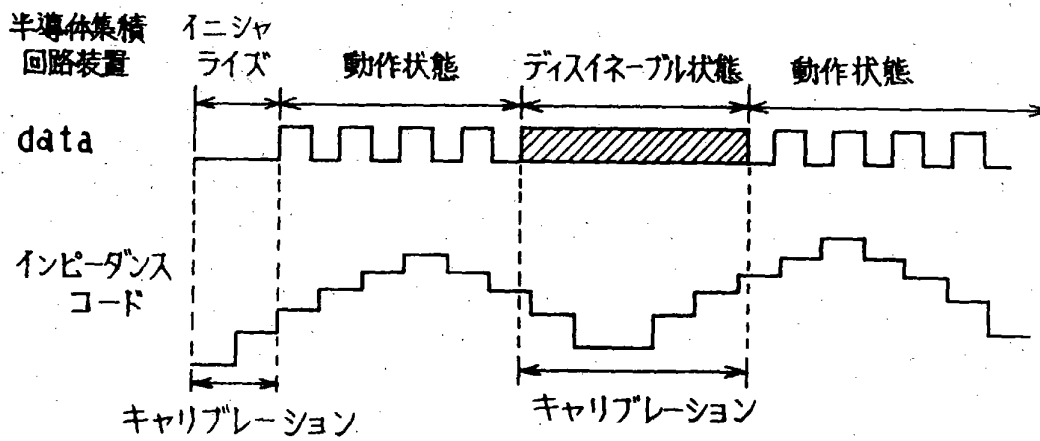
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 データ信号及びインピーダンスコードが非同期に供給されることによる波形歪みの発生を防止しつつ、最新のインピーダンスコードを取り込むことで出力インピーダンスと伝送線路の特性インピーダンスの整合のずれを抑止することが可能な出力バッファ回路を提供する。

【解決手段】 外部から供給されるデータ信号に同期してインピーダンスコードをプリドライバ回路のPch駆動回路へ出力する第1のフリップフロップと、外部から供給されるデータ信号の同期してインピーダンスコードをプリドライバ回路のNch駆動回路へ出力する第2のフリップフロップとを有する構成とする。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75410125

【提出日】 平成15年 1月27日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-189423

【承継人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【承継人代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848  
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月20日提出の特願2002-31573  
5の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216444

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号

[302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社